


SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

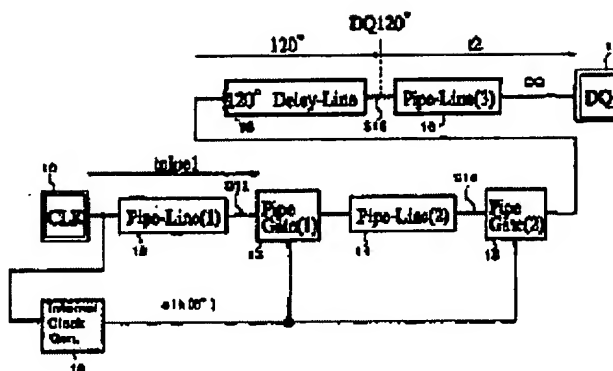
Patent number: JP11066847
Publication date: 1999-03-09
Inventor: SHINOZAKI NAOHARU
Applicant: FUJITSU LTD
Classification:
 - International: **G11C7/10; G11C7/22; G11C7/00; G11C7/10; (IPC1-7): G11C11/407; G11C11/409; G11C11/413**
 - european: **G11C7/10M5; G11C7/22**
Application number: JP19970216691 19970811
Priority number(s): JP19970216691 19970811

Also published as:

 US6084802 (A1)

Abstract of JP11066847

PROBLEM TO BE SOLVED: To maintain a predetermined phase difference of an output timing of an output circuit with respect to an external clock, and also to secure an operation margin of a pipeline control of an internal circuit.
SOLUTION: In order to control a timing of an output signal from an output circuit to be phase-shifted from an external clock by a predetermined phase difference, a delay circuit 18 is inserted in a subsequent stage at the final pipeline gate. The delay time of this delay circuit 18 is controlled so that the timing of the output signal may be controlled to be phase-shifted from the external clock by the predetermined phase difference. The delay control of this delay circuit 18 is controlled by a reference clock having a predetermined phase difference from the external clock and a delayed lock loop circuit which makes an output signal generated by a dummy delay circuit etc., in phase with a clock of the same timing. This delay circuit 18 has at least one path maintained regardless of the delay control signal from the delayed lock loop circuit so that a high impedance control of an output terminal is performed without delay.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-66847

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶

識別記号

F I

G 1 1 C 11/407

G 1 1 C 11/34

3 5 4 C

11/413

J

11/409

3 5 4 Q

3 6 2 S

審査請求 未請求 請求項の数9 O L (全 18 頁)

(21) 出願番号

特願平9-216691

(22) 出願日

平成9年(1997) 8月11日

(71) 出願人

000003223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者

篠崎 直治

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人

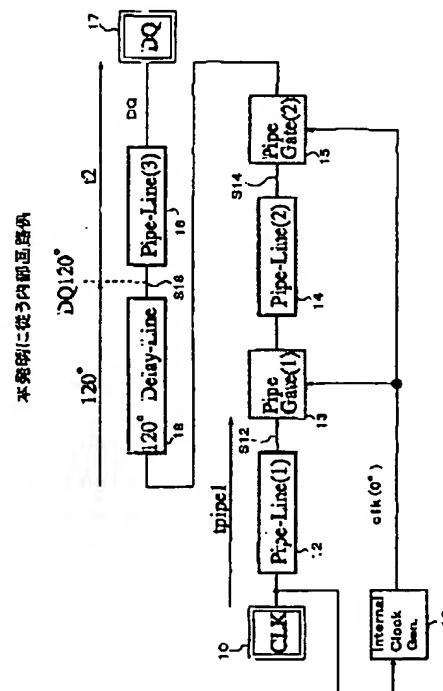
弁理士 土井 健二 (外1名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】 (修正有)

【課題】出力回路の出力タイミングを外部クロックに対して所定の位相差に維持し、且つ内部回路のパイプライン制御の動作マージンを十分確保する。

【解決手段】出力回路からの出力信号のタイミングを外部クロックに対して所定の位相差に制御する為に、最終のパイプラインゲートの後段に、遅延回路18を挿入する。この遅延回路の遅延時間は、出力信号のタイミングが外部クロックに対して所定の位相差に制御される様に制御される。この遅延回路の遅延制御は、外部クロックと所定の位相差を持つレファレンスクロックと、ダミー遅延回路等により生成された出力信号と同じタイミングのクロックとを同位相にするデレイド・ロック・ループ回路により制御される。この遅延回路は、出力端子のハイインピーダンス制御が遅延することなく行われる様に、デレイド・ロック・ループ回路からの遅延制御信号にかかわらず維持される少なくとも1つのパスを有する。



【特許請求の範囲】

【請求項1】パイプライン動作する複数段の内部回路と、前記内部回路に接続され前記外部クロックと所定の位相差で出力信号を出力する出力回路とを有する半導体集積回路において、

前記内部回路間及び前記内部回路と出力回路との間に設けられ、内部クロックで開閉が制御されるパイプラインゲートと、

前記内部回路と出力回路間に設けられた最終段のパイプラインゲートの後段に設けられ、前記所定の位相差で前記出力信号が出力される遅延時間を有する遅延回路とを有することを特徴とする半導体集積回路装置。

【請求項2】請求項1において、

前記内部回路の初段は、前記外部クロックに応答して動作を開始し、第一の期間経過後に処理結果を出力し、前記内部クロックは、前記パイプラインゲートを前記第一の期間中に閉じるタイミングを有することを特徴とする半導体集積回路装置。

【請求項3】請求項1において、

前記内部クロックは、前記外部クロックに対して前記出力回路の遅延時間に相当する時間だけ進んだ位相を有することを特徴とする半導体集積回路装置。

【請求項4】請求項1において、

前記外部クロックに対し前記所定の位相差を有するレファレンスクロックと前記出力回路の出力信号のタイミングを有する信号との位相を比較し、実質的に同位相に維持される遅延制御信号を生成するデレイド・ロック・ループ回路を更に有し、

前記遅延回路は前記遅延制御信号により遅延時間が制御されることを特徴とする半導体集積回路装置。

【請求項5】請求項4において、

前記遅延回路は、前記遅延制御信号により制御されない少なくとも1つの遅延パスを有することを特徴とする半導体集積回路装置。

【請求項6】請求項4において、

前記デレイド・ロック・ループ回路は、前記出力回路の出力信号のLレベルからHレベルに変化する第一のタイミングに対応する第一の遅延制御信号と、前記出力回路の出力信号のHレベルからLレベルに変化する第二のタイミングに対応する第二の遅延制御信号とを生成し、前記遅延回路は、前記出力回路の出力信号のHレベル及びLレベルに応じて、前記第一の遅延制御信号及び第二の遅延制御信号の一方により制御されることを特徴とする半導体集積回路装置。

【請求項7】コラムアドレス信号を与えられ、パイプライン動作する複数段のコラム系内部回路と、前記コラム系内部回路に接続され前記外部クロックと所定の位相差でデータ出力信号を出力する出力回路とを有する半導体記憶装置において、

前記コラム系内部回路の間及び前記コラム系内部回路と

出力回路との間に設けられ、前記外部クロックに対して前記出力回路の遅延時間に相当する時間だけ進んだ位相を有する内部クロックで開閉が制御されるパイプラインゲートと、

前記コラム系内部回路と出力回路との間に設けられた最終段のパイプラインゲートの後段に設けられ、前記所定の位相差に対応する遅延時間を有する遅延回路とを有することを特徴とする半導体記憶装置。

【請求項8】請求項7において、

前記外部クロックに対し前記所定の位相差を有するレファレンスクロックと前記出力回路の出力信号のタイミングを有する信号との位相を比較し、実質的に同位相に維持される遅延制御信号を生成するデレイド・ロック・ループ回路を更に有し、

前記遅延回路は前記遅延制御信号により遅延時間が制御されることを特徴とする半導体記憶装置。

【請求項9】請求項8において、

前記遅延回路は、前記遅延制御信号により制御されない少なくとも1つの遅延パスを有することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SDRAM (Synchronous Dynamic Random Access Memory) 等の外部クロックに同期して内部回路が動作し、外部クロックと所定の位相差で出力回路が出力する半導体集積回路装置に関する。

【0002】

【従来の技術】近年のコンピュータシステムにおけるCPUのクロックの高速化に伴い、主記憶装置として使用されるDRAMのアクセス速度は益々高速化する傾向にある。かかる高速化に対応するDRAMとして、外部から与えられるクロックに同期して内部回路がパイプライン動作を行い、内部回路の平行動作により見かけ上のアクセス時間を短縮したシンクロナスDRAM（以下単にSDRAMと称する。）が開発されている。

【0003】このSDRAMは、例えばコラムアドレス信号を外部クロックに同期して入力し、数クロック後に出力回路からデータ等の出力信号を出力する。その内部の構成は、例えば、コラムアドレスバッファからデータ出力回路までのコラム系の回路を複数段の回路に分割し、その回路間にパイプラインゲートを設け、そのパイプラインゲートを外部クロックと所定の位相差を持つ内部クロックで開閉制御する。

【0004】上記したパイプライン構造のSDRAMにおいて、システム側の要求から、外部クロックに対して所定の位相差のタイミングでデータ等の出力信号を出力することが求められている。この要求は、出力データ信号のアクセス・ホールドタイムのグレイゾーンを限りなく0に近づけるためである。この要求に応じる為に、S

DRAMでは、内部クロックの位相を外部クロックと所定の位相差になる様に制御する。その結果、コラムアドレスが入力されてから数クロック後の外部クロックから所定の位相差のタイミングでデータ信号が出力されることを可能にする。かかる動作にすることで、システム側は、短い周期の外部クロックに対しては早いタイミングでメモリの出力信号を入力することができ、また長い周期の外部クロックに対しては遅いタイミングでメモリの出力信号を入力することができる。

【0005】

【発明が解決しようとする課題】しかしながら、パイプライン構成されたそれぞれの内部回路の遅延特性は、外部クロックの周期にかかわらずほぼ固定であるのに対して、内部クロックのタイミングは外部クロックの周期に依存する。従って、外部クロックの周期が極端に長い場合や短い場合は、内部回路の出力のタイミングとパイプラインゲートを開閉制御する内部クロックのタイミングとのアンバランスが生じて、内部回路の動作マージンを確保することができない場合があるという問題を招く。

【0006】従来からパイプライン構成された複数の内部回路の間とその内部回路と最終段の出力回路との間のパイプラインゲートは、共通の内部クロックで制御されていた為に、出力回路の手前のパイプラインゲートの開くタイミングを、外部クロックから所定の位相差にした結果、内部回路の動作マージンがとれなくなるのである。

【0007】そこで、本発明の目的は、外部クロックの周期がどのような長さであっても、パイプライン構成の内部回路の動作マージンを確保することができ、且つ出力回路の出力信号のタイミングを外部クロックから所定の位相差にすることができる半導体集積回路装置を提供することにある。

【0008】更に、本発明の別の目的は、与えられる外部クロックの周期に応じて出力回路の出力信号のタイミングを外部クロックから所定の位相差に維持することができ、しかもパイプライン構造の内部回路の動作を正常に保障することができる半導体記憶装置を提供することにある。

【0009】

【課題を解決するための手段】上記の目的を達成する為に、本発明は、内部回路のパイプライン制御は、外部クロックからの所定の位相差に依存しないタイミングの内部クロックにより行う。そして、出力回路からの出力信号のタイミングを外部クロックに対して所定の位相差に制御する為に、最終のパイプラインゲートの後段に、遅延回路を挿入する。この遅延回路の遅延時間は、出力信号のタイミングが外部クロックに対して所定の位相差に制御される様に制御される。

【0010】この遅延回路の遅延制御は、外部クロックと所定の位相差を持つレファレンスクロックと、ダミー

遅延回路等により生成された出力信号と同じタイミングのクロックとを同位相にするデレイド・ロック・ループ回路により生成された遅延制御信号により制御される。

【0011】この遅延回路は、最終段のパイプラインゲートの後段と最終出力回路との間に挿入されるので、出力端子のハイインピーダンス制御が遅延することなく行われる様に、デレイド・ロック・ループ回路からの遅延制御信号にかかわらず維持される少なくとも1つのパスを有する。

【0012】更に、遅延回路は、出力信号がLレベルからHレベルに変化するタイミングを所定の位相差に制御する第一の遅延制御信号と、出力信号がHレベルからLレベルに変化するタイミングを所定の位相差に制御する第二の遅延制御信号とを、出力データに応じて切り替える構成を有する。

【0013】本発明は、パイプライン動作する複数段の内部回路と、前記内部回路に接続され前記外部クロックと所定の位相差で出力信号を出力する出力回路とを有する半導体集積回路において、前記内部回路間及び前記内部回路と出力回路との間に設けられ、内部クロックで開閉が制御されるパイプラインゲートと、前記内部回路と出力回路間に設けられた最終段のパイプラインゲートの後段に設けられ、前記所定の位相差で前記出力信号が出力される遅延時間を有する遅延回路とを有することを特徴とする。

【0014】更に、本発明は、コラムアドレス信号を与えられ、パイプライン動作する複数段のコラム系内部回路と、前記コラム系内部回路に接続され前記外部クロックと所定の位相差でデータ出力信号を出力する出力回路とを有する半導体記憶装置において、前記コラム系内部回路の間及び前記コラム系内部回路と出力回路との間に設けられ、前記外部クロックに対して前記出力回路の遅延時間に相当する時間だけ進んだ位相を有する内部クロックで開閉が制御されるパイプラインゲートと、前記コラム系内部回路と出力回路との間に設けられた最終段のパイプラインゲートの後段に設けられ、前記所定の位相差に対応する遅延時間を有する遅延回路とを有することを特徴とする。

【0015】

【発明の実施の形態】以下、本発明の実施の形態の例について図面に従って説明する。しかしながら、かかる実施の形態例が本発明の技術的範囲を限定するものではない。

【0016】図1は、パイプライン構造の内部回路の例を示す図である。この例では、外部クロック入力端子10に外部クロックCLKが入力され、その外部クロックのタイミングで初段のパイプライン回路12が動作する。内部クロックclkは、例えば外部クロックCLKから所定の位相差を持ち、初段のパイプライン回路12と二段目のパイプライン回路14との間のパイプライン

ゲート13と、二段目パイプライン回路14と出力回路16との間のパイプラインゲート15とに与えられて、それらのゲートの開閉のタイミングを制御する。三段目のパイプライン回路が出力回路16であり、その出力信号DQは出力端子17から出力される。尚、内部クロックclkは、図示しない内部クロック生成回路により生成される。

【0017】図2は、図1のタイミングチャートを示す図である。この例では、例えば外部クロックCLKの周期が6nsと短い場合の例である。図1の内部回路において、外部クロックCLK1の立ち上がりのタイミングで初段のパイプライン回路12が動作し、その出力信号S12は図示されるタイミングで立ち上がる。一方、内部クロックclkは、それぞれ外部クロックCLKとは所定の位相差、即ち、出力信号DQが外部クロックCLKに対して2ns遅延する様に制御された遅延タイミング t_1 を有する。そこで、第一のパイプラインゲート13は、2番目の外部クロックCLK2から所定の位相遅延した内部クロックclk2の立ち上がりのタイミングで開かれ、出力S12が二段目のパイプライン回路14に供給される。従って、二段目のパイプライン回路14は内部クロックclk2の立ち上がりのタイミングで動作を開始し、所定の遅延後にその出力信号S14が図示される通り立ち上がる。更に、3番目の外部クロックCLK3から所定の位相遅延した内部クロックclk3の立ち上がりのタイミングで、その出力信号S14が最終段の出力回路16に供給される。

【0018】出力回路16は、二段目のパイプライン回路14の出力信号S14を与えられてから出力信号DQを生成するまで遅延時間 t_2 を要する。そして、外部クロックCLK3と内部クロックclk3との遅延時間を t_1 とすると、遅延時間(t_1+t_2)が外部クロックCLKの周期の120度分の周期に対応する時間になるように設定される。即ち、内部クロックclkは、厳密には出力回路16の遅延時間 t_2 を含めて、外部クロックCLKから120度の位相差を持つクロックとなる。

【0019】さて、図1の内部回路例において、初段のパイプライン回路12の出力信号S12は、1番目の外部クロックCLK1の立ち上がりからその動作遅延時間 t_{pipe1} 後に生成される。このタイミングは、1番目の外部クロックCLK1に対応する内部クロックclk1の立ち上がりより十分な動作マージン t_a 後であり、また、2番目の外部クロックCLK2に対応する内部クロックclk2の立ち上がりよりも前である。従って、パイプラインゲート13では、正常に出力信号S12が二段目のパイプライン回路14に転送される。

【0020】図3は、図1のタイミングチャートの他の例を示す図である。この例では、外部クロックCLKの周期が、例えば12nsと図2の例の倍の長さである。SDRAMでは、外部クロックCLKの周期が長ければ

それに応じてデータ出力DQの出力タイミングも遅いことが要求される。即ち、常に外部クロックCLKから一定の位相差(120度)を維持する様に要求される。その結果、図3のタイミングチャートの例では、内部クロックclkは、外部クロックCLKからかなり遅れたクロックとなる。即ち、その遅れ時間は図中の t_1' となる。

【0021】一方、初段のパイプライン回路12の動作遅延特性 t_{pipe1} は、外部クロックCLKの周期にかかわらず固定である。従って、初段のパイプライン回路12の出力信号S12は、1番目の外部クロックCLK1に対応する内部クロックclk1の立ち上がり近辺で立ち上がることになる。出力信号S12は、上記した通り2番目の外部クロックCLK2に対応した内部クロックclk2の立ち上がりで、二段目のパイプライン回路14に転送されるべきであるが、上記の動作マージン t_a はほとんど0になり、内部クロックclk1のタイミングで転送される誤動作を招くおそれがある。外部クロックCLKが更に遅くなると、その誤動作の確率は高くなる。

【0022】図1に示されたパイプライン構造の内部回路は、外部クロックCLK1のタイミングで初段の回路12が動作し、内部クロックclk2のタイミングで二段目の回路14が動作し、更に、内部クロックclk3のタイミングで最終段の出力回路16が動作することでパイプライン動作を行う。しかし、図3の如く外部クロックCLKの周期が長くなることに伴い、上記のパイプライン動作が正常に行われなくなる。

【0023】図4は、本発明に従う実施の形態例の回路例を示す図である。図1と対応する部分には同じ引用番号を付している。パイプライン構成の内部回路は、初段の回路12、二段目の回路14、最終段の出力回路16と、それらの間のパイプラインゲート13、15とが設けられ、更に、最終段の出力回路16とその前の内部回路14との間のパイプラインゲート15の後段に、所定の位相差を生成する遅延回路18が設けられる。そして、外部クロックCLKを入力し、外部クロックCLKに対して前記出力回路の遅延時間に相当する時間だけ進んだ位相を有する内部クロックclkを生成する内部クロック生成回路19が設けられる。

【0024】尚、内部クロックclkは、それに限定されずに例えば固定時間遅延したクロックでも良い。即ち、内部クロックclkは、一段目の内部回路12が動作中で、該回路から出力信号S12が出力される前のタイミングでパイプラインゲート13及び15を閉じるようなタイミングを有していれば良い。

【0025】図5は、図4の回路のタイミングチャートを示す図である。この例では、図2と同様に外部クロックCLKの周期が6nsの様に短い例である。内部クロック生成回路19により、内部クロックclkは、外部

クロックCLKに対して前記出力回路の遅延時間に相当する時間だけ進んだ位相を有するように生成される。

【0026】初段のパイプライン回路12は、外部クロックCLKの立ち上がり同期した動作を開始する。その結果、パイプライン回路12の出力信号S12は、その動作遅延時間 t_{pipe1} 後に立ち上がる。一方、内部クロックclk1は、出力信号S12が立ち上がるよりも十分前に立ち下がるので、内部クロックclk1の立ち下がりから出力信号S12の立ち上がりまで、十分な動作マージン t_a を確保することができる。

【0027】内部クロックclk2の立ち上がりによりパイプラインゲート13が導通し、出力信号S12が2段目のパイプライン回路14に供給される。従って、2段目のパイプライン回路14は、内部クロックclk2の立ち上がり同期して動作を開始する。そして、その出力信号S14は、内部クロックclk3の立ち上がり同期して導通するパイプラインゲート15を介して遅延回路18に供給される。

【0028】遅延回路18は、内部クロックclk3の立ち上がりのタイミングで供給された出力信号S14を所定の遅延時間 t_{10} 後に、出力信号S18として最終段の出力回路16に転送する。この遅延時間 t_{10} は、外部クロックCLKの立ち上がりから外部クロックCLKの120度分の位相遅れをもって最終の出力信号DQが出力される様に設定される。この例では、出力回路16の動作遅延時間が t_2 であり、その時間 t_2 と内部クロックと外部クロックとの位相差の時間とがほぼ等しい場合である。従って、遅延回路18の遅延時間 t_{10} は、外部クロックCLKの位相の120度分の遅延と一致している。

【0029】外部クロックCLKと内部クロックclkとの間に図5のような位相差を設けた場合、前述の様に、1段目の内部回路12の出力信号S12が立ち上がるタイミングより十分前に内部クロックclk1よりパイプラインゲート13を閉じることができる。その反面、内部クロックclkをこのようなタイミングとし、図4のような遅延回路18を設けないと、外部クロックCLKが立ち上がるのと同時に出力回路16から出力データDQが出力されてしまう。そこで、遅延時間 t_{10} を有する遅延回路18を設けて外部クロックCLKの立ち上がりタイミングに対して所定の位相差(120度の遅延)で出力データDQを出力できるようにしている。

【0030】そして、内部クロックclkの立ち上がりタイミングを外部クロックCLKの立ち上がりタイミングよりも出力回路16における遅延時間 t_2 分だけ進めること、及び内部クロックclkの立ち上がりタイミングよりも $t_{10}+t_2$ だけ遅れたタイミングで出力データDQを出力するように制御することは、後述するディレイドロックループ回路により正確に行うことができる。従って、本実施の形態例によれば、出力データの出

力タイミングを外部クロックCLKの立ち上がりタイミングから正確に120度の位相だけ遅れたタイミングにすることができる。

【0031】図6は、図4の回路のタイミングチャートの他の例を示す図である。この例では、外部クロックCLKの周期が12nsと長い例である。図3に示した例では、初段のパイプライン回路12の動作マージン t_a がほとんどなくなってしまったが、この例では、外部クロックCLKの周期が長くなっても、内部クロックclk1の発生するタイミングが遅くなることはない。従って、内部クロックclk1が立ち下がってから十分な動作マージン t_a をもって、パイプライン回路12の出力S12が生成される。そして、その後の内部クロックclk2の立ち上がり同期してパイプラインゲート13が導通し、出力信号S12が2段目のパイプライン回路14に供給される。

【0032】そして、最終段のパイプラインゲート15は、2番目の内部クロックclk2の立ち上がりで導通し、2段目のパイプライン回路14の出力信号S14が遅延回路18に与えられる。遅延回路18は、その信号S14を、3番目の内部クロックclk3の立ち上がりから遅延時間 t_{10} 後に出力信号S18として最終段の出力回路16に与える。

【0033】上記の遅延回路18は、最終段のパイプラインゲート15の後段であればどこに挿入されても良い。但し、出力回路16の出力と出力端子17との間にはできるだけ内部の遅延回路は設けないほうが好ましい。従って、遅延回路18は、出力回路16と最終段のパイプラインゲート15との間、若しくは、出力回路16の内部に設けるのが好ましい。

【0034】上記した通り、本実施の形態例では内部のパイプライン構成されたパイプライン回路間のゲートの制御は、外部クロックに対して出力回路16の遅延時間に相当する時間だけ進んだ位相を有する内部クロックclkを利用する。従って、外部から与えられる外部クロックCLKの種類にかかわらず、内部回路のパイプライン動作が保障される。一方、システム側が生成する外部クロックから所定位相後に出力信号DQを生成するという要求に答える為に、最終パイプラインゲートの後段に、遅延回路を挿入し、最終的な出力信号DQが規格通りの位相差をもって出力されるような遅延時間を生成する。この遅延時間は外部クロックCLKの周期に依存して変化するので、SDRAMの規格に整合することができる。

【0035】次に、具体的にSDRAMに上記の回路が適用された場合について説明する。図7は、上記した回路がSDRAMに適用された場合の具体例を示す図である。この例では、コラム系の回路20がパイプライン構成される。共通のアドレス端子Addから行アドレスとコラムアドレスとが供給されるが、最初の外部クロック

に同期して供給された行アドレスは、行アドレスバッファ23に取り込まれ、増幅され、行デコード24に供給される。行デコード24により選択されたワード線WLが駆動され、メモリセル26が選択される。メモリセル26のデータはビット線BL、/BLの一方に出力され、他方のレファレンス電圧と共に、センスアンプ27で増幅される。ここまでの、行アドレス側の回路の動作である。

【0036】その後、列アドレスが外部クロックCLKに同期してアドレス端子Addに供給され、コラムアドレスバッファ28で増幅される。そのアドレス信号はコラムデコード29でデコードされ、センスアンプ27のうち選択されたセンスアンプがデータバス線対DB、/DBに接続される。そして、データバス線対DB、/DBのデータが、データバスアンプ30で更に増幅される。コラム系の回路20のうち、ここまでの回路が例えば図4の初段のパイプライン回路12に対応する。

【0037】外部クロックCLKは、一旦クロック入力バッファ21で増幅されてから、内部クロック生成回路であるDLL(Delayed Lock Loop、デレイド・ロック・ループ)回路22に与えられる。DLL回路22では、外部クロックに対して出力回路16の遅延時間に相当する時間だけ進んだ位相を有する内部クロックclkが生成される。即ち、内部クロックclkは、外部クロックの周期に依存しない遅延タイミングを有する。このDLL回路の具体的構成については、例えば、平成8年12月19日に出願された特願平8-339988に示される通りである。

【0038】内部クロックclkは、パイプラインゲート13に供給され、内部クロックclkに同期してパイプラインゲート13が開かれる。更に、データバスコントロール回路31は、図4の第二段のパイプライン回路14に対応し、所定の制御動作が行われる。そして、更にパイプラインゲート15が内部クロックclkに同期して開かれ、データバスコントロール回路31の出力信号が遅延回路18に与えられる。そして、遅延回路18で、外部クロックCLKの位相の120度分に対応した遅延が生成され、その遅延した読み出しデータが出力データバッファ32からデータ出力端子DQに出力される。

【0039】遅延回路18の遅延制御は、位相比較回路36、その位相比較結果により遅延制御信号S38を生成する遅延制御回路38、内部クロックclkを遅延回路18と同様に遅延させるダミー遅延回路40、出力データバッファ32と同等の遅延を有するダミー出力回路41及び入力バッファ21から構成されるDLL回路により行われる。位相比較回路36には、レファレンス信号として、外部クロックCLKを120度の位相分遅延したクロックclk_aが入力され、また、内部クロックclk

をダミー遅延回路40とダミー出力回路41とダミー入力バッファ211とで遅延したクロックclk_bが被制御クロックとして入力される。従って、クロックclk_bは、実質的に出力DQのタイミングと同じタイミングを有する。尚、必要に応じて、クロックclk_aは、内部クロックclkを120度位相遅延させた後に、例えば4分の1に分周させたクロックであっても良い。

【0040】位相比較回路36では、入力される両クロックclk_a、clk_bの位相状態を検出し、その検出信号S36を遅延制御回路38に供給する。遅延制御回路38では、検出信号S36に従って、クロックclk_bがレファレンスクロックclk_aに対して進み状態の時は、そのクロックをclk_bを遅らせる様にダミー遅延回路40の遅延時間を長くする様な遅延制御信号S38を生成する。また、クロックclk_bがレファレンスクロックclk_aに対して遅れ状態の時は、そのクロックclk_bを進ませる様にダミー遅延回路40の遅延時間を短くする様な遅延制御信号S38を生成する。その結果、ダミー入力バッファ211の出力であるクロックclk_bは、レファレンスクロックclk_aと位相が同期する様に制御される。

【0041】一方、遅延回路18は、ダミー遅延回路40と同じ遅延制御信号S38によりその遅延量が制御されるので、出力データバッファ32から出力データ端子DQに出力されるデータのタイミングは、ダミー出力回路41の出力のクロックclk_b2と同じタイミングを有する。レファレンスクロックclk_aは、外部クロックCLKに対して120度の位相分だけ遅延して、内部クロックclkは外部クロックに対して出力回路16の遅延時間に相当する時間だけ進んだ位相を有する。従って、出力データ端子DQから出力されるデータのタイミングは、外部クロックCLKから120度分の位相遅れとなることが理解される。

【0042】図8は、遅延回路18と入出力データバッファ32の具体的回路を示す図である。この例では、入出力データバッファ32が、ラッチ回路の部分32Aと出力端子駆動回路の部分32Bとに分けられ、その間に遅延回路18が挿入される。

【0043】2段目のパイプライン回路に該当するデータバス制御回路31には、出力データ42が、NANDゲート43とNORゲート44とを介してPチャネル用駆動信号42PとNチャネル用駆動信号42Nとに分けられる。また、NANDゲート43とNORゲート44とには、他方の入力としてハイインピーダンス制御信号Hzが与えられる。通常の読み出し時では、ハイインピーダンス制御信号Hzは、Hレベルであり、NANDゲート43及びNORゲート44は出力データ42を反転して、Pチャネル用駆動信号42PとNチャネル用駆動信号42Nとを生成する。また、スタンバイ時では、ハイインピーダンス制御信号HzはLレベルになり、NA

NDゲート43の出力を強制的にHレベルにし、NORゲート44の出力を強制的にLレベルにする。従って、Pチャネル用駆動信号42PとNチャネル用駆動信号42Nとは強制的にそれぞれHレベル、Lレベルになる。

【0044】パイプラインゲート15では、内部クロックclkがインバータ45と46を介してそれぞれのCMOSTransferゲート47、48、49、50に与えられる。従って、内部クロックclkがHレベルになるとき、それらのゲートが開き、Pチャネル用駆動信号42PとNチャネル用駆動信号42Nとが出力データバッファ32Aに供給される。

【0045】出力データバッファのラッチ部32Aには、インバータ51、52からなるラッチ回路とインバータ53、54からなるラッチ回路とを有する。従って、Pチャネル用駆動信号42PとNチャネル用駆動信号42Nとは、これらのラッチ回路でそれぞれラッチされる。

【0046】遅延回路18は、Pチャネル用駆動信号42Pを遅延する遅延回路18Pと、Nチャネル用駆動信号42Nを遅延する遅延回路18Nとを有する。Pチャネル用駆動信号42Pを遅延する遅延回路18Pは、常に導通状態にあるCMOSTransferゲート60と、遅延制御信号1z、2z...で導通制御されるCMOSTransferゲート62、64、66とを有する。インバータ61、63、65は、遅延制御信号1z等を反転する。一方、Nチャネル用駆動信号42Nを遅延する遅延回路18Nは、常に導通状態にあるCMOSTransferゲート70と、遅延制御信号1z'、2z'...で導通制御されるCMOSTransferゲート72、74、76とを有する。インバータ71、73、75は、遅延制御信号1z'等を反転する。

【0047】上記の遅延回路18は、遅延制御信号が全てLレベルの時は、ゲート60、70のみが導通し、その抵抗値は最大となり、遅延時間最大となる。一方、遅延制御信号のHレベルが増えるに従い、ゲート60、70に加えて、他のゲートも導通するので、その抵抗値は低くなり、遅延時間は短くなる。遅延制御回路38の遅延制御信号S38は、上記制御信号1z、2z...、1z'、2z'...である。遅延制御回路38は、位相比較回路36の位相比較結果信号S36に応じて、クロックclkがクロックclk_aに位相同期する様に、遅延制御信号を生成する。

【0048】図9は、図8の遅延回路18の変形例を示す図である。図8と同じ部分には同じ引用番号を付している。この例では、それぞれのTransferゲートに直列に抵抗r0、r1、r2、r3...、r10、r11、r12、r13...を挿入する。こうすることにより、CMOSTransferゲート以上の十分な遅延時間の変化を生成することができる。

【0049】図10は、遅延制御回路38の回路図であ

る。この図には、遅延制御回路38の一部が示され、説明の都合上、遅延回路の制御信号1z~6zが示されている。この遅延制御回路38には、位相比較回路36からの検出信号A~Dが与えられ、信号A、Bにより制御信号のHレベル（右側）とLレベル（左側）の境界が右側にシフトされ、信号C、Dにより制御信号のHレベル（右側）とLレベル（左側）の境界が左側にシフトされる。即ち、信号A、Bにより遅延量を増やしてクロックclkをより遅らせる制御信号を生成し、信号C、Dにより遅延量を減らしてクロックclkをより進ませる制御信号を生成する。

【0050】遅延制御回路38の各段は、例えば1段目では、NANDゲート612とインバータ613からなるラッチ回路をそれぞれ有する。また、検出信号A~Dによりラッチ回路612、613の状態を強制的に反転させるトランジスタ614、615を有する。トランジスタ616、617は、反転の対象外の場合にトランジスタ614、615によってはラッチ回路が反転されないようにする為に設けられる。2段目~6段目の回路も同様の構成である。これらのトランジスタは全てNチャネル型である。

【0051】今仮に、1段目から3段目の制御信号1z~3zがHレベルの状態であるとする。4段目以降の左側の制御信号4z~は全てLレベルの状態にある。各段のラッチ回路の状態は、図10にH、Lで示される通りである。即ち、1段目から3段目までは、ラッチ回路は、NAND出力がHレベルでインバータ出力がLレベルであるのに対して、4段目から6段目では、ラッチ回路は、NAND出力がLレベルでインバータ出力がHレベルである。従って、グランドに接続されているトランジスタは、617、627、637、647、646、656、666がそれぞれ導通状態にある。即ち、ラッチ状態の境界の両側にある4段目の回路のトランジスタ647と3段目のトランジスタ636が導通状態にあり、検出信号BまたはCによりそのラッチ状態が反転可能な状態になっている。

【0052】そこで、仮に、検出信号CにHレベルが与えられると、トランジスタ645が導通し、インバータ643の出力が強制的にHレベルからLレベルに駆動される。その為、NANDゲート642の出力もLレベルからHレベルに切り換えられ、その状態がラッチされる。NANDゲート642の出力がHレベルになることで、インバータ640の出力4zはLレベルからHレベルになる。その結果、遅延制御信号のHレベルは、1z~3zから1z~4zにシフトする。図8、9で説明した通り、Hレベルの遅延制御信号が増加することで、遅延回路の導通する並列のゲートの数が多くなり、遅延回路の遅延時間は短くなるように制御される。即ち、クロックclkをより進める様に制御される。

【0053】一方、仮に、検出信号BにHレベルが与えられると、上記の同様の動作により、3段目のラッチ回

路のNANDゲート632の出力がLレベルに強制的に切り換えられ、インバータ633の出力はHレベルに切り換わる。その結果、遅延制御信号3zがLレベルになる。これにより、遅延制御信号のHレベルが減少し、遅延回路の導通する並列のゲート数が少なくなり、遅延回路の遅延時間は長くなるように制御される。即ちクロックclkはより遅れる様に制御される。

【0054】更に、出力5zと4zとの間または出力4zと3zとの間にHレベルとLレベルの境界ができる。今度は、検出信号AまたはDによりHレベルとLレベルの境界がそれぞれ右側または左側にシフト制御される。即ち、検出信号A、BはHレベルの出力を減らす様にシフト制御し、検出信号C、DはHレベルの出力を増やす様にシフト制御する。更に、検出信号A、Dは、出力2z、4z、6zまでHレベルの状態の時にシフト制御し、検出信号B、Cは出力1z、3z、5zまでがHレベルの時にシフト制御する。

【0055】図11は、位相比較回路36の詳細回路図である。この位相比較回路36には、クロックclkが与えられる入力端子とクロックclkが与えられるレファレンスクロック端子の両方のクロックの位相の関係を検出する位相検出部51を有する。この位相検出部51は、ラッチ回路を2つ有し、クロックclkに対してクロックclkの位相が、(1)一定時間以上進んでいる場合、(2)一定時間内程度の位相差の関係にある場合、及び(3)一定時間以上遅れている場合を検出する。検出力n1～n4の組み合わせにより上記3つの状態が検出される。

【0056】サンプリングパルス発生部52は、2つのクロックclkとclkが共にHレベルになる時にサンプリング信号をノードn9に出力する。サンプリングラッチ回路部53は、サンプリング信号n9により、検出力n1～n4をサンプリングゲート508～511によりサンプリングし、NAND512、513及び514、515からなるラッチ回路でラッチする。従って、サンプリング時の検出力n1～n4がノードn5～n8にそれぞれラッチされる。

【0057】2分の1分周回路54は、両クロックclk、clkが共にHレベルになる時をNANDゲート520で検出し、その検出パルスn10を2分の1分周して、逆相のパルス信号n11とn12とを生成する。デコード部55は、サンプリングラッチされたノードn5～n8の信号をデコードして、クロックclkがレファレンスクロックのclkより遅れている時はダイオード536の出力をHレベルにし、両クロックの位相が一致している時はダイオード536と540の出力を共にLレベルにし、更にクロックclkがレファレンスクロックのclkより進んでいる時はダイオード540の出力をHレベルにする。出力回路部56は、デコード部55の出力に応じて、逆相パルス信号n11とn12に応

答して、検出信号A～Dを出力する。検出信号A～Dは、既に説明した通り遅延制御回路38の状態を制御する。

【0058】図12は、図11の動作を示すタイミングチャート図である。この図では、クロックclkがレファレンスクロックclkより遅れている状態、両クロックの位相が一致している状態、そしてクロックclkがレファレンスクロックclkより進んでいる状態を順に示している。即ち、サンプリングパルスn9がS1、S2の時は、クロックclkが遅れているので、それが検出され、パルスn12にตอบสนองして検出信号CがHレベルで出力され、またパルスn11にตอบสนองして検出信号DがHレベルで出力され、クロックclkが進む様に制御される。サンプリングパルスがS3の時は、位相が一致して検出信号A～Dは全てLレベルとなる。更に、サンプリングパルスS4、S5、S6の時は、クロックclkが進んでいるので、それが検出され、パルスn11にตอบสนองして検出信号Bが或いはパルスn12にตอบสนองして検出信号AがそれぞれHレベルになり、クロックclkが遅れる様に制御される。

【0059】上記の動作を以下に順番に説明する。

【0060】[サンプリングパルスS1]この期間では、クロックclkが遅れているので、両クロックclk、clkが共にLレベルの状態から、クロックclkが先にHレベルになり、ノードn2がLレベル、ノードn1がHレベルでラッチされる。NAND及びインバータ500は、クロックclkを一定時間遅らせる遅延エレメントであり、NAND503、504でも同様にノードn3=Hレベル、ノードn4=Hレベルがラッチされる。そこで、サンプリング発生部52にて、両クロックclk、clkが共にHレベルになるタイミングから、遅延回路506の遅延時間分の幅を持つサンプリングパルスn9が生成され、位相比較部51でのラッチ状態がサンプリングされ、ラッチ部53でそのラッチ状態がラッチされる。即ち、ノードn1～n4の状態がノードn5～n8に転送される。

【0061】そして、両クロックclk、clkが共にHレベルになるタイミングでパルスn10が生成される。分周回路部54は、NAND524、525のラッチ回路とNAND528、529のラッチ回路とがゲート526、527及びゲート530、531で結合され、それらのゲートは、パルスn10の反転、非反転パルスで開かれる。従って、パルスn10が2分の1に分周される。

【0062】デコード部55では、ノードn5～n8のH、L、H、Lレベルの状態により、インバータ536の出力がHレベルに、インバータ540の出力がLレベルになる。従って、パルスn12にตอบสนองして、インバータ536のHレベルがNAND543、インバータ544を介して、検出信号CをHレベルにする。検出信号CのHレベルにより、遅延制御回路のHレベルとLレベルの境界は

左側にシフトし、遅延回路18の抵抗が低くなり遅延時間は短くなる。その結果、クロックc1kbは進む方向に制御される。

【0063】[サンプリングパルスS2] 上記の同様に、クロックc1kbが遅れていることが、位相比較部51で検出され、パルスn11にตอบสนองして検出信号DがHレベルになる。従って、同様に遅延制御回路38のHレベルとLレベルの境界は左側に移動し、遅延回路18の遅延時間は短くなる。

【0064】[サンプリングパルスS3] サンプリングパルスS3が出力されるタイミングでは、両クロックc1kaとc1kbとはほとんど位相が一致する。遅延エレメント505での遅延時間以内の位相ずれを有する場合は、クロックc1kbがわずかに遅れている時は、

n1=H、n2=L、n3=L、n4=H

n5=H、n6=L、n7=L、n8=H

となる。この状態が図12に示されている。また、遅延エレメント505での遅延時間以内の位相ずれを有する場合で、クロックc1kbがわずかに進んでいる時は、

n1=L、n2=H、n3=H、n4=L

n5=L、n6=H、n7=H、n8=L

となる。

【0065】いずれの場合でも、デコーダ部55によりデコードされ、両インバータ536、540の出力が共にLレベルとなり、検出出力A～DはすべてLレベルとなる。その結果、遅延制御回路38の状態は変化せず、遅延回路18の遅延時間の変化しない。

【0066】[サンプリングパルスS4、S5、S6] この場合は、クロックc1kbが進んでいる。従って、位相比較部51のラッチ状態は、

n1=L、n2=H、n3=L、n4=H

となり、その結果、サンプリングされたラッチ部53でも、

n5=L、n6=H、n7=L、n8=H

となる。この状態がデコーダ部55でデコードされ、インバータ536はLレベル出力、インバータ540はHレベル出力になる。従って、パルスn11とn12にตอบสนองして、検出信号BとAとがそれぞれHレベルとなる。その結果、遅延制御回路38のHレベルとLレベルの境界が右方向にシフトし、遅延回路18の抵抗を高くし遅延時間を長くする。そのため、クロックc1kbが遅れる方向に制御される。

【0067】以上の通り、内部クロックc1k、位相比較回路36、遅延制御回路38、ダミー遅延回路40、ダミー出力回路41のクローズドループで形成されたDLL回路により、内部クロックc1kを120度遅延させたクロックc1kaと出力データバッファ32の出力タイミングと同じタイミングを持つクロックc1kbとの位相が一致する様に制御される。従って、出力DQのタイミングが外部クロックCLKから120度位相遅れ

になる遅延時間が、遅延回路18で生成される。

【0068】図8及び図9に示された遅延回路18には、遅延制御信号が如何なるレベルであっても、少なくとも遅延回路18を論理ゲートを介することなくP型トランジスタ駆動信号42PとN型トランジスタ駆動信号42Nとを通過させるパス60、70を有する。かかる構成は、電源投入時等に出力端子DQをハイインピーダンス状態にする為の制御信号Hzが遅延することなく遅延回路18を通過して、トランジスタ81、83と共に非導通状態にすることができることを保障する。従って、出力データバッファ回路内又はその前段に設けられる遅延回路18として、適切な構成である。

【0069】図13は、他の例の遅延回路と入出力データバッファの具体的回路を示す図である。この例では、入出力データバッファ回路32、パイプラインゲート15、データバス制御回路31は、図8及び図9の例と同じである。遅延回路18P、18Nが図8及び図9の例と異なる。

【0070】入出力データバッファ回路32は、図示される通り、その出力段は、P型トランジスタ81とN型トランジスタ83のインバータ回路である。従って、P型トランジスタ81が導通して出力DQがLレベルからHレベルに変化するスピードと、N型トランジスタ83が導通して出力DQがHレベルからLレベルに変化するスピードとは異なる。従って、厳密には、その遅延特性も、出力DQがLレベルからHレベルに変化する場合はそのスピードに対応した遅延時間に、逆に出力DQがHレベルからLレベルに変化する場合はそのスピードに対応した遅延時間にする必要がある。

【0071】図13の遅延回路18は、かかる要求に 대응するもので、出力DQがHレベルに変化する時は、遅延制御信号H1z、H2z、...で制御され、出力DQがLレベルに変化する時は、遅延制御信号L1z、L2z、...で制御される。2種類の遅延制御信号を切り替える為に、データバス制御回路31にいち早く供給されるデータ信号42を、内部クロックc1kの立ち下がりエッジでゲート127を介してラッチ回路128、129にラッチする。このラッチ回路の保持する制御信号により、ゲート120、122、124を開いて出力DQがHレベルに変化する場合の遅延制御信号H1z、H2z、...を入力するか、ゲート121、123、125を開いて出力DQがLレベルに変化する場合の遅延制御信号L1z、L2z、...を入力するかを制御する。

【0072】図14は、図13の遅延回路18に与える2種類の遅延制御信号S38H、S38Lを生成する回路を示す図である。この図では、パイプラインゲート13、15、データバス制御回路31、入出力データバッファ32、外部クロックCLKの入力バッファ21、DLL回路22などは、図7の例と同じである。図14の

例では、出力DQがHレベルに変化する時の遅延制御信号S38Hを生成するために、位相比較回路36H、遅延制御回路38H、ダミー遅延回路40H、ダミー入出力回路41H、ダミー入力バッファ211Hから構成されるDLL回路を有する。更に、出力DQがLレベルに変化する時の遅延制御信号S38Lを生成するために、位相比較回路36L、遅延制御回路38L、ダミー遅延回路40L、ダミー入出力回路41L、ダミー入力バッファ211Lから構成されるDLL回路を有する。即ち、遅延制御信号S38H、S38Lを生成する為に、図7の例のDLL回路構成が2重に設けられている。

【0073】図14中の、位相比較回路36H、36L、遅延制御回路38H、38L等は、図11、図10に示された回路と同等である。図14中のダミー入出力回路41H、41Lが異なる構成を有する。

【0074】図15は、出力DQがLレベルからHレベルに変化するダミー遅延回路41Hの回路の例を示す図である。このダミー遅延回路41Hは、図8、9に示された出力回路と遅延回路の組み合わせに類似している。但し、ダミー遅延回路は、実際にメモリから読み出したデータを出力する必要がないので、最終パイプラインゲートに対応するトランスファゲート102、103に与えられる入力は、グランドに接続されて、その入力は常時Lレベルに設定される。更に、ラッチ回路の部分に、インバータの代わりにNANDゲート100、101が設けられ、内部クロックclkのLレベルでノードn100とn101とが強制的にLレベルにされる部分でも、図8、9の回路と異なる。

【0075】図15のダミー遅延回路の動作は、次の通りである。まず、内部クロックclkのLレベルにตอบสนองして、上記した通りノードn100、n101が強制的にLレベルになる。従って、出力部のN型トランジスタ109が導通して、出力110即ちクロックclkbHは、Lレベルとなる。そこで、内部クロックclkがHレベルになる時に、トランジスタゲート102、103が導通し、ラッチ回路は反転されて、ノードn100、n101はHレベルとなる。その信号は、ダミー遅延回路40HP、40HNで遅延して、出力部のP型トランジスタ108を導通させる。その結果、出力110即ちクロックclkbHは、内部クロックclkのHレベル時に常にLレベルからHレベルに変化する。このクロックclkbHが、分周後のレファレンスクロックclkaと位相同期されると、遅延制御信号S38Hは、出力がLレベルからHレベルに切り替わるタイミングを外部クロックから所定の位相差（例えば120度）に維持することができる制御信号となる。

【0076】図16は、出力DQがHレベルからLレベルに変化するダミー遅延回路41Lの回路の例を示す図である。この回路は、図15に示された回路とほぼ同じである。異なる部分は、トランスファゲート106、

107の入力が電源VccのHレベルに固定されている点と、内部クロックclkの反転信号でノードn104、n105を強制的にHレベルにするためのNORゲート104、105がラッチ回路に設けられる点である。

【0077】図16のダミー遅延回路の動作は、次の通りである。まず、内部クロックclkのLレベルにตอบสนองして、上記した通りノードn104、n105が強制的にHレベルになる。従って、出力部のP型トランジスタ110が導通して、出力112は、Hレベルとなる。そこで、内部クロックclkがHレベルになる時に、トランジスタゲート106、107が導通し、ラッチ回路は反転されて、ノードn104、n105はLレベルとなる。その信号は、ダミー遅延回路40LP、40LNで遅延して、出力部のN型トランジスタ111を導通させる。その結果、出力112は、内部クロックclkのHレベル時に常にHレベルからLレベルに変化する。この出力112の反転クロックclkbLが、分周後のレファレンスクロックclkaと位相同期されると、遅延制御信号S38Lは、出力がHレベルからLレベルに切り替わるタイミングを外部クロックから所定の位相差（例えば120度）に維持することができる制御信号となる。

【0078】上記の図14～16に代わるDLL回路は、例えば、平成8年12月19日出願された特願平8-339988にも示される。

【0079】

【発明の効果】以上説明した通り、本発明によれば、内部回路のパイプライン制御は、十分な動作マージンをもって外部クロックの周期に依存しない外部クロックに対する遅延タイミングを有する内部クロックに同期して行われ、出力信号のタイミングは、出力回路に接続された遅延回路により外部クロックに対して所定の位相差に制御される。

【0080】しかも、遅延回路は、DLL回路により生成された遅延制御信号により制御されるが、遅延回路内に遅延制御信号により制御されない遅延パスを有するので、出力端子のハイインピーダンス状態の生成が、遅延回路により遅れることはない。

【図面の簡単な説明】

【図1】パイプライン構造の内部回路の例を示す図である。

【図2】図1の回路のタイミングチャートの例を示す図である。

【図3】図1の回路のタイミングチャートの他の例を示す図である。

【図4】本発明に従う実施の形態例の回路例を示す図である。

【図5】図4の回路のタイミングチャートの例を示す図である。

【図6】図4の回路のタイミングチャートの他の例を示す図である。

【図7】SDRAMに適用された場合の具体例を示す図である。

【図8】遅延回路と出力データバッファの具体的回路を示す図である。

【図9】図8の遅延回路の変形例を示す図である。

【図10】遅延制御回路の回路図である。

【図11】位相比較回路36の詳細回路図である。

【図12】図11の動作を示すタイミングチャート図である。

【図13】他の例の遅延回路と出力データバッファの具体的回路を示す図である。

【図14】図13の遅延回路に与える2種類の遅延制御信号S38H、S38Lを生成する回路を示す図であ

る。

【図15】出力DQがLレベルからHレベルに変化するダミー遅延回路41Hの回路の例を示す図である。

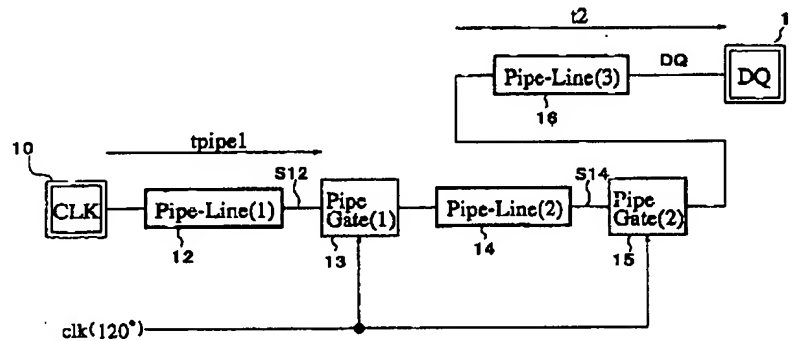
【図16】出力DQがHレベルからLレベルに変化するダミー遅延回路41Lの回路の例を示す図である。

【符号の説明】

12、14	内部回路
16、32	出力回路
13、15	パイプラインゲート
17	出力端子
18	遅延回路
CLK	外部クロック
clk	内部クロック
clka	レファレンスクロック
clkb	出力信号のタイミングを有するクロック

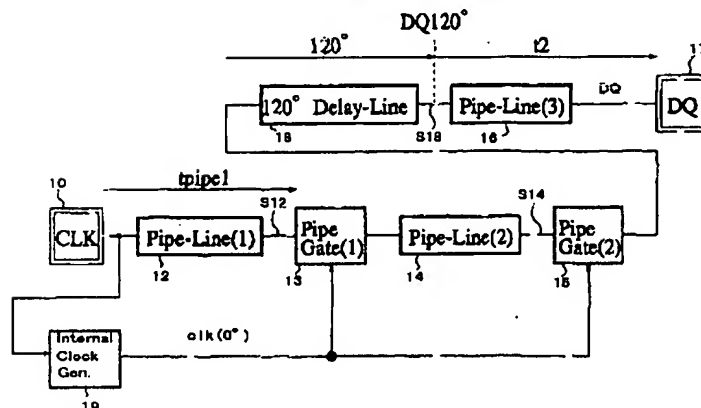
【図1】

パイプライン構造の内部回路例



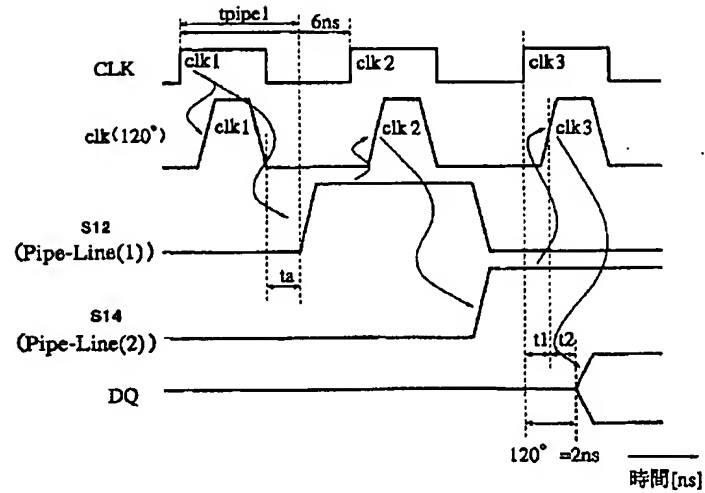
【図4】

本発明に従う内部回路例



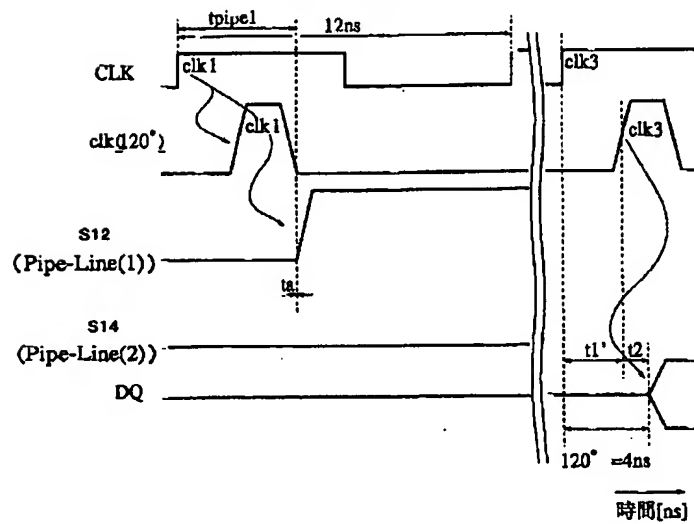
【 図 2 】

図 1 のタイミングチャート(1)

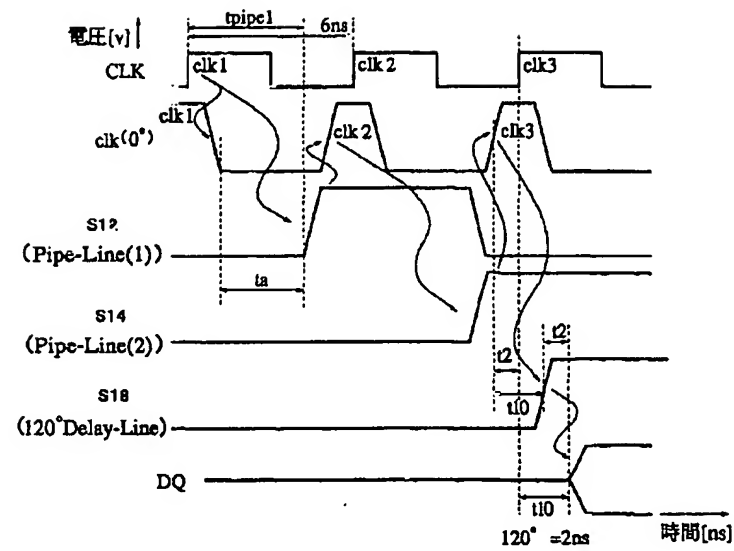


【 図 3 】

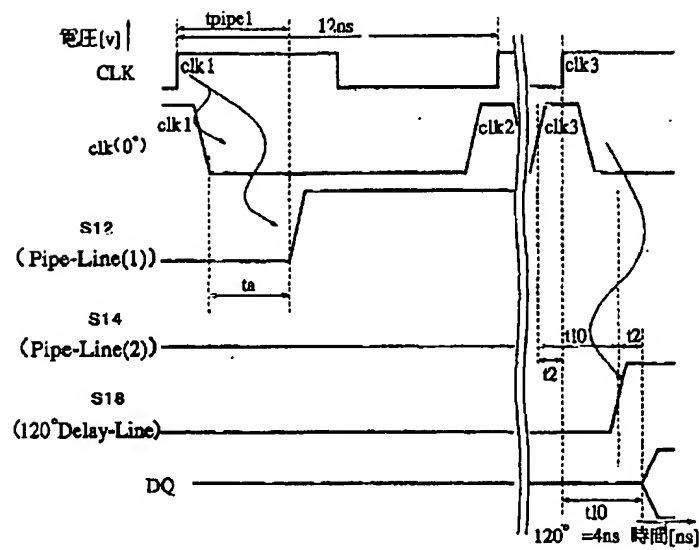
図 1 のタイミングチャート(2)



【図5】

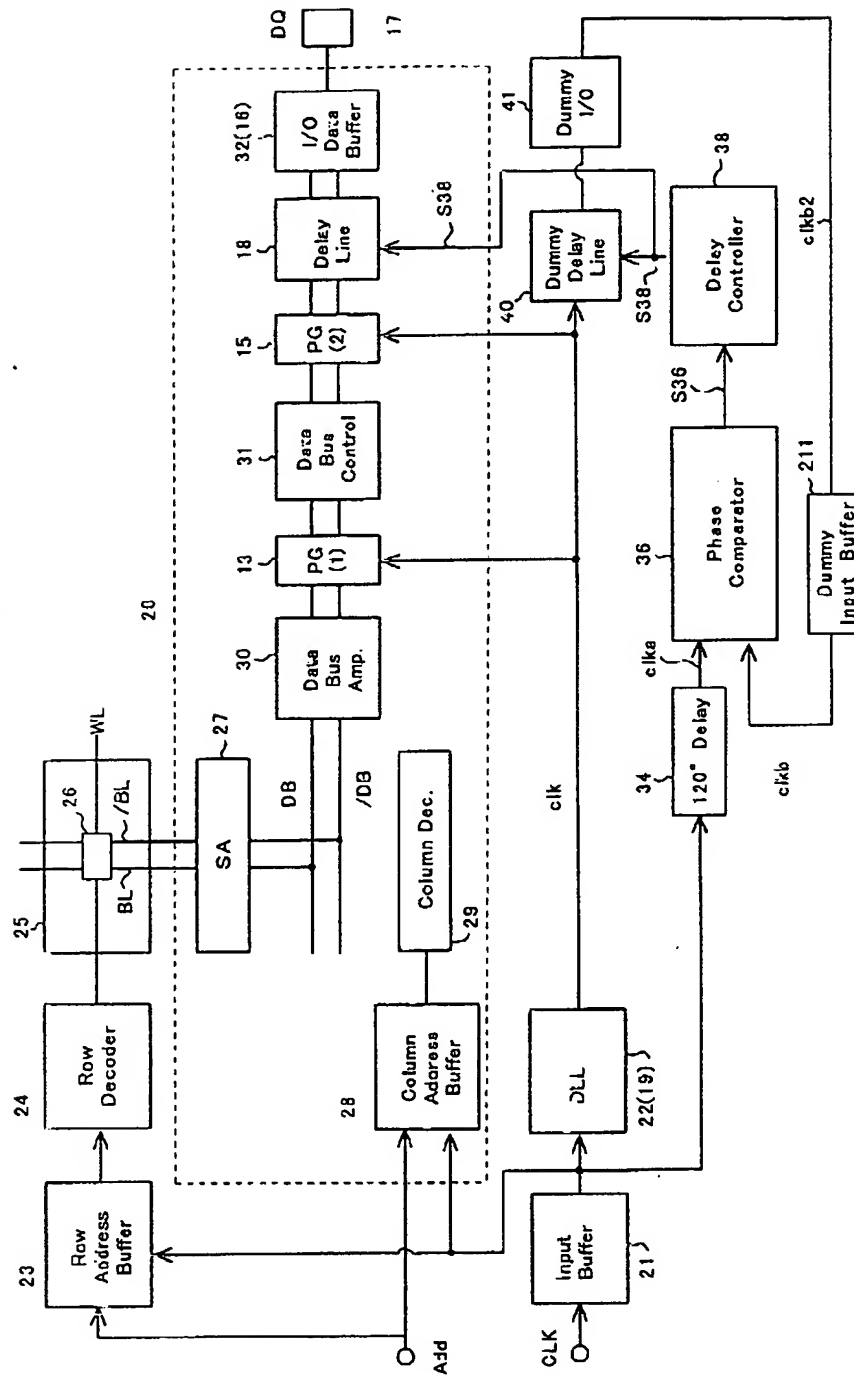


【図6】

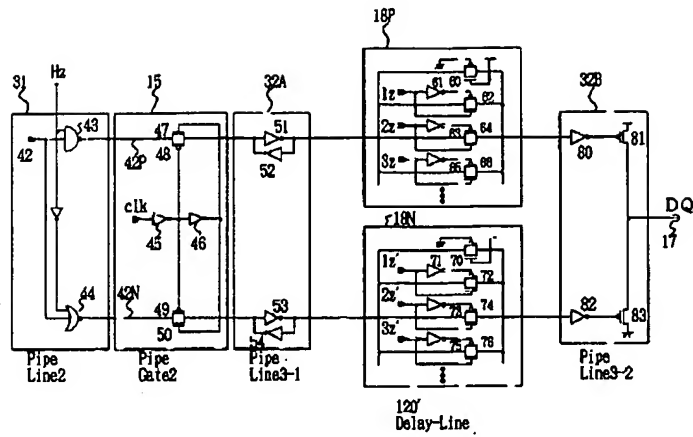


【図7】

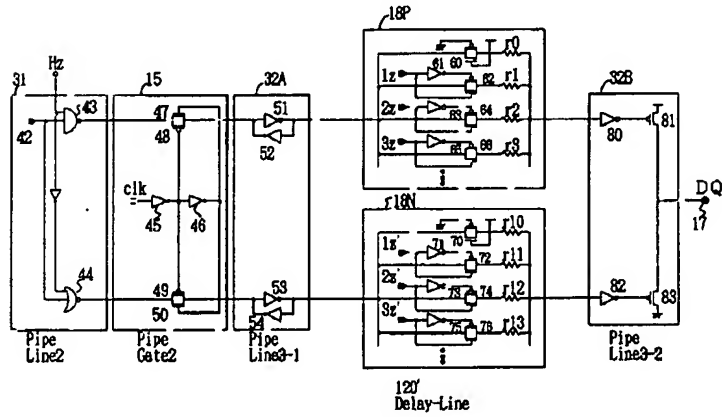
シンクロナスDRAMの例を示す図



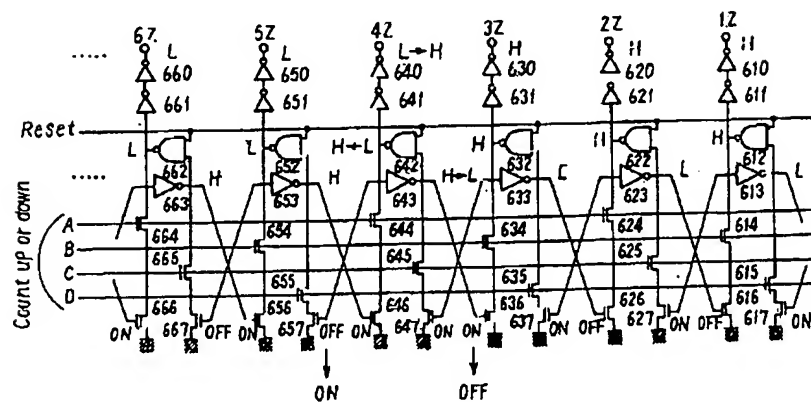
【図8】



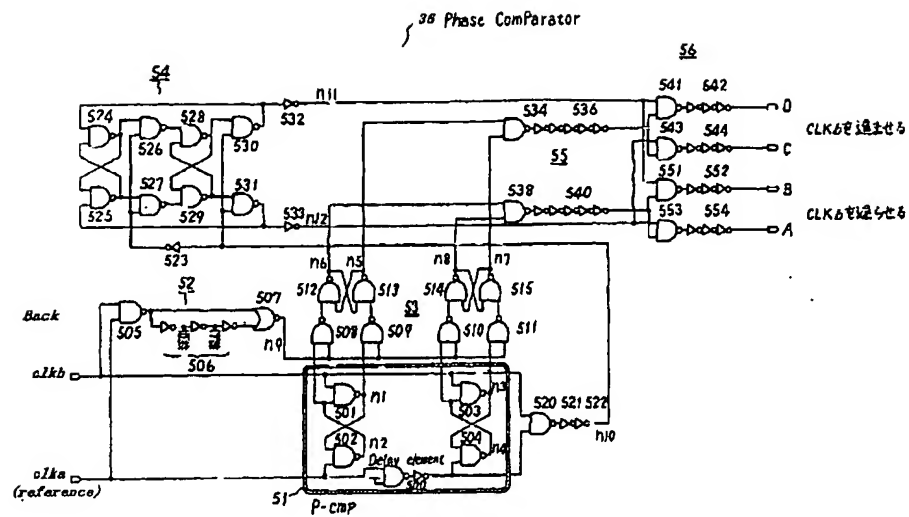
【図9】



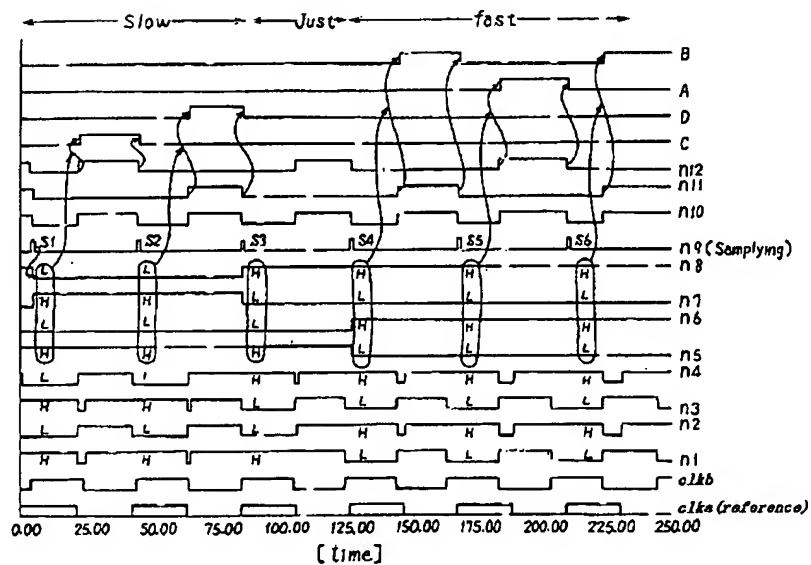
【図10】



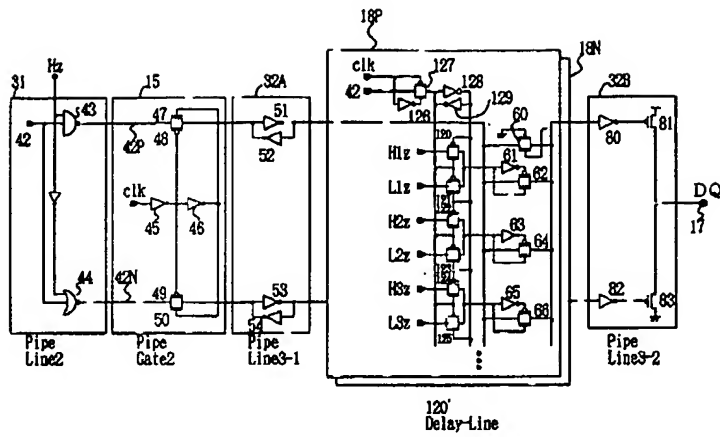
【図11】



【図12】

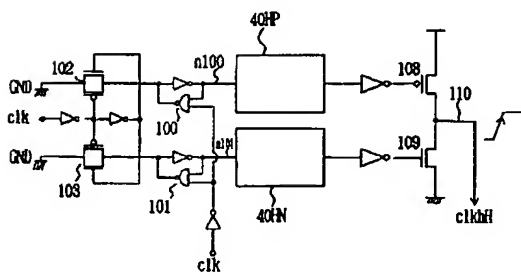


【図13】



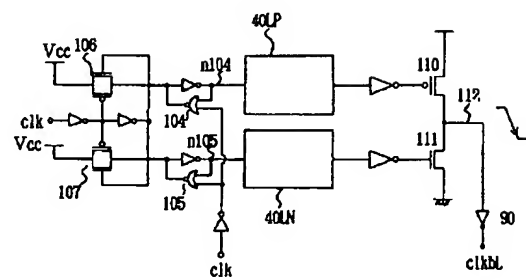
【図15】

Dummy I/O H



【図16】

Dummy I/O L



【図14】

